

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274251

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 21/66

(21)Application number : 10-069786

(71)Applicant :

HITACHI LTD

(22)Date of filing : 19.03.1998

(72)Inventor :

KONO RYUJI

KITANO MAKOTO

MIURA HIDEO

OTA HIROYUKI

ENDO KIJU

HARADA TAKESHI

KANAMARU MASATOSHI

AKASHI TERUHISA

HOSOGANE ATSUSHI

ARIGA AKIHIKO

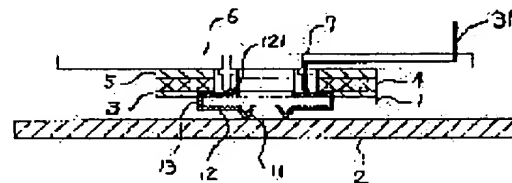
BAN NAOTO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable collective inspection of a large region of an electrode pad of a wafer in an electric characteristic inspection process, by pressing a protrusion of an inspection structure body which is electrically connected with a pad on the opposite surface against a desired position of an object to be inspected, in a probing process and a burn-in inspection process.

SOLUTION: A first plate member 1 has a protrusion 11 group on a surface facing an object 2 to be inspected. On the tips of the protrusion 11 group, a wiring pattern 12 for obtaining electric continuity between the object 2 to be inspected and the outside is formed. The wiring pattern 12 is electrically connected with the rear of a surface of the first plate member 1 on which the protrusion 11 group is formed, through a penetrating hole 13. On the rear of the first plate member 1, an insulating film 3 is formed excepting a pad 121 part formed in the end portion of the wiring pattern 12. As a result, electric continuous paths of a pad to be inspected of the object 2 which exists in a projection surface of the first plate member 1 are all present in the projection surface of the first plate member 1. As a result, collective inspection of a large region of the electrode pad of a wafer in an electric characteristic inspection process is enabled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2000 Japanese Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-274251

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.⁶

H 0 1 L 21/66

識別記号

F I

H 0 1 L 21/66

B

H

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号

特願平10-69786

(22)出願日

平成10年(1998)3月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 河野 竜治

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 北野 誠

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 三浦 英生

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(74)代理人 弁理士 小川 勝男

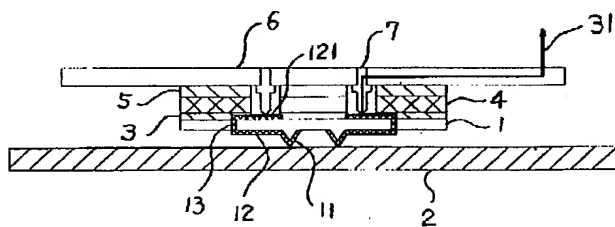
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】半導体装置製造工程の一工程である電気的特性検査工程において、被検体の電極パッドの大領域一括検査を行う。

【解決手段】被検体の検査対象範囲に形成された検査対象導体部の数と等しい数の電気的に独立した突起を備えた検査構造体を被検体に押圧させて電気的特性検査を行う。



【特許請求の範囲】

【請求項 1】 ウェハに多数の素子を形成する素子形成工程と、前記多数の素子が形成されたウェハ（被検体）をプロービング検査するプロービング検査工程と、前記多数の素子が形成されたウェハ（被検体）をバーンイン検査するバーンイン検査工程とを有する半導体装置の製造方法であって、前記プロービング検査工程及び／又は前記バーンイン検査工程には、一主面に導電性の突起を備え、前記突起と、前記一主面とは反対側の面に設けられたパッドとが電氣的に接続された検査構造体の前記突起を前記被検体の所望の位置に押圧する工程が含まれていることを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 において、前記検査構造体は一主面に導電性の突起を備え、前記突起と、前記一主面とは反対側の面に設けられたパッドとが電氣的に接続された第一板材と、前記第一板材の前記パッド形成面側に配置された第二板材であって、前記パッドと、前記第二板材に形成された配線とが電氣的に接続された第二板材と、前記第一板材と前記第二板材との間に配置された第三板材であって、ヤング率が 60 GPa 以上の材質で形成され、厚さが 100 μ m 以上である第三板材とを備えていることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 において、前記被検体の前記第一板材の検査対象範囲に形成された検査対象導体部の数と、前記第一板材に形成された電氣的に独立した前記突起の数とが等しいことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 2 または 3 において、前記突起は複数存在し、隣り合う 2 個の前記突起を結ぶ直線上を横切る貫通溝が前記第一板材に設けられていることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 2 乃至 4 のいずれかにおいて、前記突起と前記第三板材との間に空間が存在することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、前記第一板材が実質同一平面内に複数設けられたことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、前記突起を前記被検体の所望の位置に押圧する時に、前記第一板材の突起以外の面の一部もしくは全域と前記被検体とが接触することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に係り、特に、検査工程の改善により半導体装置の歩留まり向上を図った半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来の半導体装置は次の工程により製造されている。◆

- ・ウェハに多数の素子を形成する素子形成工程
- ・ウェハ（被検体）に形成された多数の素子をプロービング検査（導通検査）するプロービング検査工程
- ・プロービング検査工程終了後、ウェハをタイシング（集積回路ごとに切断）して複数のチップとするダイシング工程
- ・チップごとに半導体装置としてパッケージするパッケージ工程
- ・半導体装置（被検体）をバーンイン検査（熱負荷検査）するバーンイン検査工程

そして、上記の各工程のうち、プロービング検査及びバーンイン検査における被検体と外部の検査システムと接続方法は基本的に同じである。すなわち、被検体上に数十ないし百数十 μ m 程度のピッチでパターンニングされた、数十ないし百数十 μ m²、厚さ 1 μ m 前後の個々の Al（アルミニウム）合金もしくはその他の合金の電極パッドに対して、個々に導電性の微細なプローブを機械的に接触させる方法が採られる。微細なプローブとしては、例えば W（タングステン）や Ni（ニッケル）製の先端径数十 μ m、長さ数十 mm の細針が用いられる。

【0003】

【発明が解決しようとする課題】 しかしながら、上記従来技術のプローブ構造では個々のプローブを高精度に位置決めして固定するために大きな領域を要する。したがって、面内により多くのプローブを配することが困難であり、一度に検査できる電極パッド数およびチップ数が限られていた。◆そして、上記の問題を解決する技術が、例えば特開平 1-147374 号公報、特開平 9-148389 号公報、特開平 9-243663 号公報等に開示されている。

【0004】 特開平 1-147374 号公報では、単一の Si 単結晶平板の主平面方向に複数の梁構造と、それらのおおの先端に突起を形成し、さらに突起から梁構造の固定端方向へ導体層を形成している。

【0005】 特開平 9-148389 号公報では、形状の異なる三層の Si 基板を積層し、うち最下層には複数の梁構造と各梁構造の固定端近傍に圧電素子を配し、梁構造先端と最上層の開放面とが導通するための手段を施している。◆特開平 9-243663 号公報では、外部と導通する突起の集合体を有する Si 基板と固定板との間にエラストマを介している。

【0006】 しかしながら、特開平 1-147374 号公報では、Si 基板内の配線を検査する領域よりも外側へ延長しているため、必ず単一の Si 基板中に検査領域内のすべての突起を形成する必要がある、例えばウェハ一枚を一括で検査しようとするのが困難である。◆また、特開平 9-148389 号公報では、梁構造の途中に圧電素子を設ける必要がある、多数のプローブを形成する上でコスト面、歩留まり面で大きな問題がある。

【0007】 さらに、特開平 9-243663 号公報で

は、検査構造体の構造においてSi基板裏面に直接エラストマが設けられているが、梁構造を設けた場合各梁の周囲には必ず貫通溝が形成されるので、押圧時の圧力によりそれが被検体側に流出する可能性がある。また、被検体を一括検査する最に必要な多大な荷重によってエッチングにより脆弱化したSi基板が破損する可能性がある。

【0008】本発明の課題は、半導体装置製造工程の一工程である電気的特性検査工程において、ウェハの電極パッドの大領域一括検査を可能にすることである。

【0009】

【課題を解決するための手段】上記の課題を解決するために、本発明は、ウェハに多数の素子を形成する素子形成工程と、前記多数の素子が形成されたウェハ（被検体）をプロービング検査するプロービング検査工程と、前記多数の素子が形成されたウェハ（被検体）をバーンイン検査するバーンイン検査工程とを有する半導体装置の製造方法であって、以下のように構成することとを特徴とする。

【0010】（1）：前記プロービング検査工程及び／又は前記バーンイン検査工程には、一主面に導電性の突起を備え、前記突起と、前記一主面とは反対側の面に設けられたパッドとが電気的に接続された検査構造体の前記突起を前記被検体の所望の位置に押圧する工程が含まれていること。

【0011】（2）：（1）において、前記検査構造体は一主面に導電性の突起を備え、前記突起と、前記一主面とは反対側の面に設けられたパッドとが電気的に接続された第一板材と、前記第一板材の前記パッド形成面側に配置された第二板材であって、前記パッドと、前記第二板材に形成された配線とが電気的に接続された第二板材と、前記第一板材と前記第二板材との間に配置された第三板材であって、ヤング率が60GPa以上の材質で形成され、厚さが100 μ m以上である第三板材とを備えた。

【0012】（3）：（2）において、前記ウェハの前記第一板材に対向する面に形成された検査導体部の数と、前記第一板材の形成された電気的に独立な前記突起の数とが等しいこと。

【0013】（4）：（2）または（3）において、前記突起は複数存在し、隣り合う2個の突起を結ぶ直線上を横切る貫通溝が前記第一板材に設けられていること。

【0014】（5）：（2）乃至（4）のいずれかにおいて、前記突起と前記第三板材との間に空間が存在すること。

【0015】（6）：（1）乃至（5）のいずれかにおいて、前記第一板材が実質同一平面内に複数設けられたこと。

【0016】（7）：（1）乃至（6）のいずれかにおいて、前記突起を前記被検体の所望の位置に押圧する時に、前記第一板材の突起以外の面の一部もしくは全域と

前記被検体とが接触すること。

【0017】

【発明の実施の形態】以下、本発明の一実施形態を図面を参照して説明する。◆本実施形態の半導体装置の製造方法は次の工程を含んでいる。◆

- ・ウェハに多数の素子を形成する素子形成工程
- ・複数の素子が形成されたウェハをプロービング検査（導通検査）するプロービング検査工程
- ・複数の素子が形成されたウェハをバーンイン検査（熱負荷検査）するバーンイン検査工程

以下、各工程ごとにその詳細を説明する。

【0018】〔素子形成工程〕素子形成は単結晶Siインゴットを薄くスライスして表面を鏡面研磨したウェハに対して、製造する素子の仕様ごとに多数の単位工程を経て行われる。その詳細を述べることは省略するが、たとえば一般的なC-MOS (Complementary Metal Oxide Semiconductor) の場合、大きく分けて、ウェハ基板のP型、N型形成工程、素子分離工程、ゲート形成工程、ソース/ドレイン形成工程、配線工程、保護膜形成工程などを経て形成される。

【0019】P型、N型形成工程はウェハ表面にBやPのイオン打ち込みを行い、後に拡散により表面上で引き延ばすものである。◆素子分離工程は上記の表面にSi酸化膜を形成し、領域選択のための窒化膜パターンニングを施し、パターンニングされない部分の酸化膜を選択的に成長させることにより、個々を微細素子に分離するものである。◆ゲート形成工程は上記の各素子間に厚さ数nmのゲート酸化膜を形成し、その上部にポリSiをCVD (Chemical Vapor Deposition) 法により堆積した後、所定寸法に加工し電極を形成するものである。

【0020】ソース/ドレイン形成工程は、ゲート電極形成後にPやBなどの不純物をイオン打ち込みし、活性化アニールによってソース/ドレイン拡散層を形成するものである。

【0021】配線工程はAl配線や層間絶縁膜などを積み重ねることにより、上記で分離した各素子を電気的につなぎ合わせる工程である。

【0022】保護膜形成工程は上記のようにして形成された微細素子への外部からの不純物や水分の進入を阻止したり、後に回路をパッケージングする際の機械的ストレスを緩和させるために行う工程であり、回路表面に保護膜を形成するものである。

【0023】一枚のウェハは厚さ数百 μ m、直径4インチないし8インチ程度の大きさであり、上記の工程を経てこの表面に例えばDRAM (Dynamic Random Access Memory) の場合で200ないし400個の回路が形成される。一つの回路の大きさは一辺数ないし十数mmであり、また一回路中には数十ないし数百の電極パッドが設けられる。各電極パッド表面は一辺数十 μ mの四辺形をなしている。

【0024】【ブローピング検査工程】素子形成工程で形成した各素子の電気信号の導通を検査する工程であり、通常、ブローブ装置を用いて各ブローブを回路中の電極パッドに一つずつ接触させることにより行う。

【0025】【バーンイン検査工程】回路に熱的、電気的ストレスを付与して不良を加速選別する検査工程である。この工程もブローピング検査工程と同様の方法によって電極パッドに各ブローブを接触させる。

【0026】さて、図1は本発明に係るブローピング検査工程及びバーンイン検査工程で用いる検査体構造を示す略断面図である。第一板材1は単一のSi平面基板をエッチングして被検体2に対向する面に突起11群を形成したものである。突起11群の先端は被検体2と外部との導通を得るための配線パターン12が、ウェハープロセス技術を用いて形成されており、配線パターン12は第一板材1に設けられた貫通孔13を経て第一板材の突起11群を形成した面とは反対側の面（以下、裏面という。）まで電気的につながっている。第一板材1の裏面には、配線パターン12の端部に形成されたパッド121部を除いて絶縁膜3が設けられている。ここで、第一板材の投影面内に存在する被検体の検査すべきパッド（図示せず）の導通経路が、第一板材内において第一板材の投影面内に全て存在するように構成されているため、本発明の目的を達することができる。

【0027】第一板材1の裏面には第三板材4が接合されている。第三板材4は、第一板材の平坦性確保、補強の目的で用いるものである。したがってSi、AlN、金属、あるいはガラスなどヤング率が60GPa以上のものが望ましく、また、厚さが100 μ m以上の部材により構成されることが望ましい。第三板材4のさらに裏面には、エラストマ5が設けられており、さらにその裏面に第二板材6が設けられている。第二板材6は、一般には多層の導通配線が展開されたガラスエポキシ多層プリント基板が用いられる。エラストマ5は、第一板材1の突起11群を形成した主面が被検体面に対して相対的に傾いていた場合、その向きを被検体に倣わせること、および被検体と第一板材との押し付け量のばらつきに伴う荷重ばらつきを低減させる目的で用いられる。したがって、通常はヤング率が小さく、例えばゴム弾性的挙動を示すエラストマが用いられる。あるいは、複数のコイルばねなどを面内に一つもしくは複数配置してもよい。導通構造体7は、ここでは配線パターン12と第二板材6との導通を図るために用いられる。導通構造体7は、例えば1.5mm以下の隣接ピッチに対応する微細なスプリング付きコンタクトブローブが用いられる。またあるいは、導通構造体7として1.5mm以下の微細なピッチに対応するはんだボールを用いてもよい。また第一板材1は、Siの代わりにポリイミドなどの有機板材面内に導体のめっきによって突起11群、配線パターン12を形成したものをを用いてもよい。矢印31は導通経路の一例を

示す。

【0028】図2は本発明の他の実施例に係る検査構造体の第一板材の構造を示し、図2(a)は上面図、図2(b)は側面図、図2(c)は下面図をそれぞれ示す。各図において領域R1は被検体のうち一つのチップの面積に対応している。また中心より左の2チップ分の領域R2は隣接する突起11同士の間第一板材1を厚さ方向に貫通するスリット14を形成し、結果的に各突起11を独立の梁構造の上に設けたものであり、右の2チップ分の領域R3はそれを施さない例である。いずれの場合も、図2(b)から明らかなように、各突起11の裏面は第一板材1を例えばエッチングで薄く形成し、梁構造の上部に空間ができるよう構成されている。領域R2はスリットがあるため領域R3よりも強度的に弱くなるが、領域R3よりも大きなたわみ量が確保できるため、表面凹凸の大きなものを測定するのに適している。配線パターン12は第一板材1の厚さ方向を貫通した後、第一板材1の裏面で貫通部とは異なる位置でパッド121を形成している。このように構成すれば、被検体のパッドおよびそれに対応する突起の配列ピッチが非常に微細な場合でも、裏面の配線パターン1211を通じてパッド121の配列ピッチをそれよりも大きくすることが可能となる。この場合も、図1にて述べたように、第一板材の投影面内に入る検査すべきパッドとつながるすべての配線が第一板材内に構成されているので、本発明の課題を解決することができる。図3は図2で示した第一板材を用いて構成した検査構造体の断面図である。

【0029】図4は本発明のさらに他の実施例に係る検査構造体の第一板材の構造を示し、図4(a)は上面図、図4(b)は側面図をそれぞれ示す。

【0030】本実施例においては、図4(b)に示すように、第三板材4には貫通孔41が、第一板材1のパッド121に対応する位置に設けられており、パッド121との接触部から第三板材4の上面にかけて配線パターン42が設けられている。配線パターン42は貫通孔41とは異なる位置でパッド421を構成している。また導通構造体7は、第三板材4のパッド421と第二板材6とを接続している。

【0031】本実施例は第三板材4に配線パターン42を形成するため、先の実施例（図3）に較べ構造が複雑になる。しかし、先の実施例（図3）では、導通構造体7と接触するパッドの位置が、薄くエッチングした梁構造部を避ける必要があったのに対し、本実施例ではその必要がないため、突起11の数が非常に多い場合でも、パッド配置冗長性の向上、配線形状自由度向上の作用により、容易にかつ高密度にそれらを配置することが可能になる。

【0032】図5は本発明のさらに他の実施例に係る検査構造体の第一板材の構造を示し、図5(a)は断面図、図5(b)は下面図をそれぞれ示す。

【0033】本実施例では、第一板材1は実質的に同一面内に複数配置されている。これらは単一の第三板材4に接着剤により接合することで達成される。ただし、第三板材4は、実際の寸法や配置の状態に合わせ、複数存在してもよい。この実施例は、例えば被検体であるウェハー全面など、より大領域を一括して検査する際に採られる。これは、これまで述べたように、ひとつの第一板材の投影面内に存在する検査すべきパッド数からの導通経路を、当該の第一板材内に全て形成することにより達せられるものである。

【0034】図6は本発明のさらに他の実施例に係る検査構造体の被検体検査時の状態を示し、特に被検体と第一板材1の突起部近傍のみの断面図である。本実施例において、第一板材1は被検体2の保護膜21に裏面を接触し、突起11の導電膜22との接触位置と、第一板材1の裏面と保護膜21との接触位置の高さの差を、梁部15のたわみによって吸収している状態を示している。この検査方法の形態は、第一板材1全域にわたる各突起のAl膜接触圧力を均一に制御する上で重要である。すなわち、止むを得ず生じる第一板材1と被検体との主面同士の相対的な勾配や、両者の面内のうねり、凹凸あるいは被検体の第一板材への押し付け量のばらつきにより生じる梁部15のたわみ v の変化に基づく荷重の変化を、第一板材1裏面を保護膜21に接触させることにより相対的にキャンセルできるためである。したがって、突起11がAl膜22を押圧する荷重は、常に梁部のたわみ v により一定値に制御でき、梁の材質、寸法を適正化するだけで常に所望の安定した荷重量が得られる。このとき、第一板材1にSiを用いている場合は、梁部15の下端部151に作用する引っ張り応力が約2MPa±1MPaを超えないようにすることが、梁部15の破損を防止する上で重要であり、かつ安定導通を図るためには突起先端に作用する荷重を1gf以上にする必要がある。実験の結果、この両者の条件を満たす梁寸法は、長さ L が0.8から2mm、厚さ t_p が30から50 μ m、幅を被検体のパッド23のレイアウトの最小ピッチに対応させ、たわみ v を15 μ m以下とし、これらに対応するために突起高さ h_p を20から40 μ mに設定することが有効であること

がわかった。

【0035】図7は本発明のさらに他の実施例に係る検査構造体の略断面図である。本実施例は、図5で述べた検査構造体を被検体の所望の位置に接触させた状態で、これらを剛な構造のケーシングにてパッキングしたものである。これは上述したようなバーンイン検査を、例えばウェハー全域にわたって一括に行うといった大領域検査の形態を示している。このようにパッキングすることは、高精度に押圧したままで可搬性を持たせることを目的としており、この状態にしたものを複数一括して電気加熱炉の中に搬入し、所望の高温状態を与えることによって、多数のウェハーを一括してバーンイン検査することが可能である。

【0036】

【発明の効果】本発明によれば、半導体装置製造工程の一工程である電気的特性検査工程において、被検体の電極パッドの大領域一括検査が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る検査体構造の略断面図である。

【図2】本発明の他の実施例に係る検査体構造の構造図である。

【図3】本発明の他の実施例に係る検査体構造の構造図である。

【図4】本発明のさらに他の実施例に係る検査体構造の構造図である。

【図5】本発明のさらに他の実施例に係る検査体構造の構造図である。

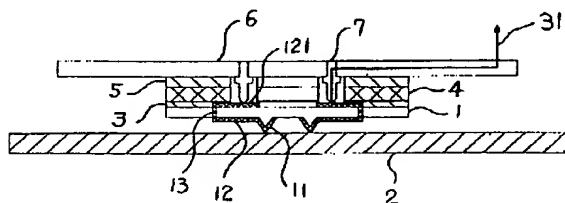
【図6】本発明のさらに他の実施例に係る検査体構造の構造図である。

【図7】本発明のさらに他の実施例に係る検査体構造の構造図である。

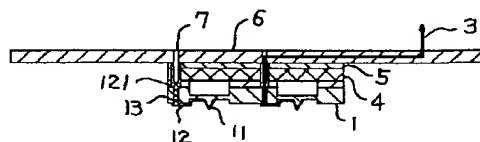
【符号の説明】

1…第一板材、2…被検体、3…絶縁膜、4…第三板材、5…エラストマ、6…第二板材、7…導通構造体、11…突起、12…配線パターン、13…貫通孔、14…貫通スリット、41…貫通孔、42…配線パターン、121…パッド、421…パッド。

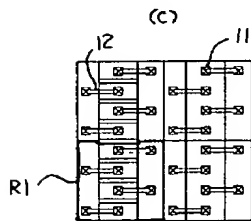
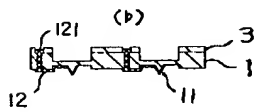
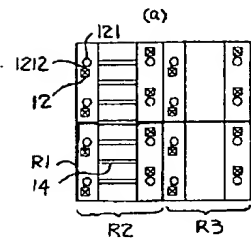
【図1】



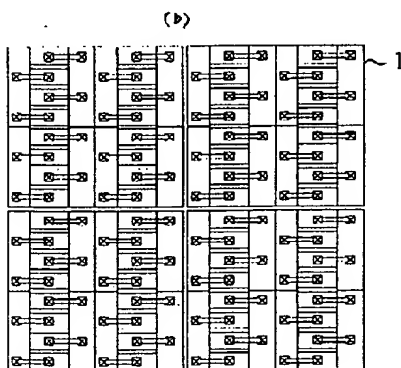
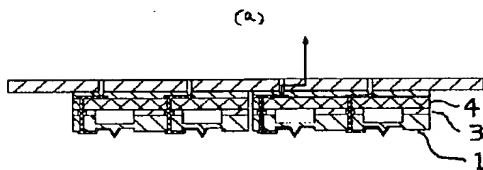
【図3】



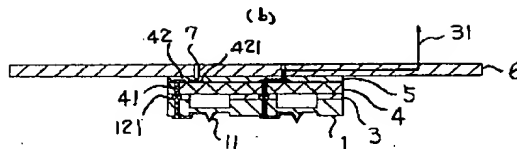
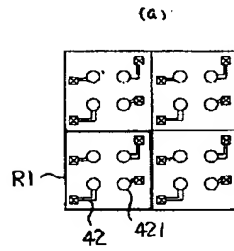
【図 2】



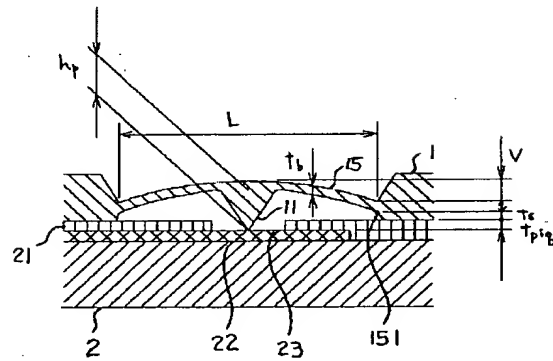
【図 5】



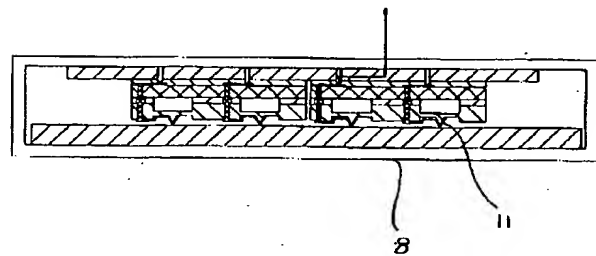
【図 4】



【図 6】



【図 7】



フロントページの続き

(72) 発明者 太田 裕之
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72) 発明者 遠藤 喜重
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72) 発明者 原田 武
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72) 発明者 金丸 昌敏
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72) 発明者 明石 照久
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72) 発明者 細金 敦
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72) 発明者 有賀 昭彦
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 伴 直人
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内